

Digital frequency multiplier circuit including delay circuit

Patent Number: ☐ US6087864
Publication date: 2000-07-11
Inventor(s): AOKI AKIRA (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: JP10145191
Application Number: US19970967106 19971110
Priority Number(s): JP19960312609 19961111
IPC Classification: H03B19/00
EC Classification: H03L7/081A1, H03K5/00C, H03K5/13D, H03L7/16
Equivalents: JP3487533B2

Abstract

A frequency multiplier circuit device having a delay circuit including a plurality of delay elements, and a selector circuit for selecting the number of delay elements for every output stage of the delay circuit. A reference input signal and an output from the selector circuit for determining the period of the reference input signal are input to a phase comparator. The selector circuit is controlled on the basis of an output from the phase comparator to select the number of delay elements of the delay circuit, so as to generate a signal for multiplying a frequency by N, so that the signal is supplied to an exclusive NOR circuit to output a signal having a frequency an N-number of times that of the reference input signal.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-145191

(43)公開日 平成10年(1998) 5月29日

(51)Int.Cl.⁶
H 0 3 K 5/00
H 0 3 B 19/00
H 0 3 L 7/08

識別記号

F I
H 0 3 K 5/00 M
H 0 3 B 19/00
H 0 3 L 7/08 L

審査請求 未請求 請求項の数10 F D (全 11 頁)

(21)出願番号 特願平8-312609
(22)出願日 平成 8 年(1996)11月11日

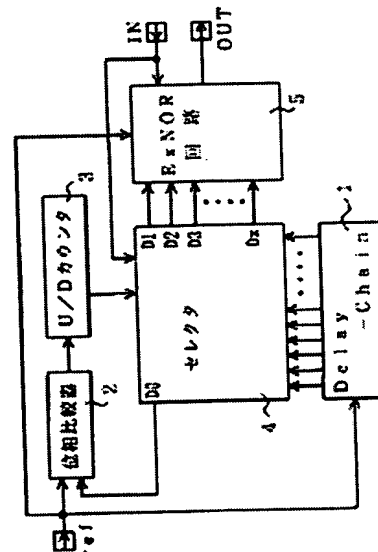
(71)出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地 1
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 青木 明
神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内
(74)代理人 弁護士 竹村 壽

(54)【発明の名称】 通信回路及び半導体集積回路装置

(57)【要約】

【課題】 遅延回路の遅延素子数を制御して遅延量を調整し、任意の基準 入力信号の周波数に対応し、デジタル回路で構成された遅延回路を提供する。

【解決手段】 遅延回路 1 は、基準 入力信号 ref を入力し、選択回路 4 へ出力する。位相比較器 2 は、基準 入力信号 ref 及び選択回路 4 の出力 DO とを入力し、アップダウンカウンタ 3 へ出力する。選択回路 4 は、遅延回路 1 の出力、アップダウンカウンタ 3 の出力及び N 遅延設定入力信号 IN を入力し位相比較器 2 へ出力し、排他的論理和回路 5 へ出力する。入力信号の遅延量を調整し、調整した遅延量を基に基準 入力信号に対して遅らせた位相差分の遅延量の設定し、基準 入力信号と複数の位相を遅らせた信号を排他的論理和回路 5 に入力することにより基準 信号より遅い周波数の信号を出力する。電源ノイズの影響を受け難くした LPF を必要としないので設計が容易な遅延回路を得ることができる。



【特許請求の範囲】

【請求項 1】 入力信号の周期を検出する手段と、前記検出手段の検出結果に基づいて、前記入力信号のN遅延に必要な信号を生成する手段と、前記生成した信号に基づいてN遅延信号を出力する手段とを備えていることを特徴とする遅延回路。

【請求項 2】 前記入力信号のN遅延に必要な信号を生成する手段は、遅延回路の素子数を選択することによって前記信号を生成することを特徴とする請求項 1に記載の遅延回路。

【請求項 3】 前記N遅延は可変であることを特徴とする請求項 1又は請求項 2に記載の遅延回路。

【請求項 4】 複数の遅延素子からなる遅延回路と、前記遅延回路の出力端数を選択する選択回路と、基準入力信号と前記選択回路の出力とを入力する位相比較器と、前記位相比較器の出力に基づいて前記選択回路を制御する制御回路と、前記基準入力信号と前記選択回路の出力とを入力し、N遅延の信号を生成する論理回路とを備えていることを特徴とする遅延回路。

【請求項 5】 所定の遅延素子数を有する遅延回路と、基準入力信号と前記遅延回路の出力信号の2信号の位相が同期するように前記遅延回路の遅延量を制御し、前記基準入力信号に対して前記遅延回路の出力信号を所定の周期分だけ遅らせてその遅延量を調整する選択回路と、前記基準入力信号と前記選択回路の出力信号とを入力する位相比較器と、前記遅延量を基にして設定したい位相差に相当する遅延量を少なくとも1つの遅延回路より選択して得られた位相を遅らせた信号と前記基準入力信号とを入力することにより前記基準入力信号に対して早い周波数の信号を出力する排他的論理和回路とを備えていることを特徴とする遅延回路。

【請求項 6】 前記所定の周期は1周期分もしくは1/2周期分であることを特徴とする請求項 5に記載の遅延回路。

【請求項 7】 前記遅延量は前記遅延素子数により調整されることを特徴とする請求項 5に記載の遅延回路。

【請求項 8】 前記排他的論理和回路は $e \times OR$ もしくは $e \times NOR$ から選ばれることを特徴とする請求項 5に記載の遅延回路。

【請求項 9】 所定の遅延素子数を有する第1の遅延回路と、所定の遅延素子数を有し、前記第1の遅延回路とは遅延量の異なる第2の遅延回路と、基準入力信号と前記第1の遅延回路の出力信号の2信号の位相が同期するように前記第1の遅延回路の遅延量を制御し、前記基準入力信号に対して前記第1の遅延回路の出力信号を所定の周期分だけ遅らせてこの遅延量を調

整する第1の選択回路と、

前記基準入力信号と前記第2の遅延回路の出力信号の2信号の位相が同期するように前記第2の遅延回路の遅延量を制御し、前記基準入力信号に対して前記第2の遅延回路の出力信号を所定の周期分だけ遅らせてこの遅延量を調整する第2の選択回路と、

前記基準入力信号と前記第1の選択回路が出力する信号とを入力する位相比較器と、

前記遅延量を基にして設定したい位相差に相当する遅延量を少なくとも1つの遅延回路より選択して得られた位相を遅らせた前記第2の選択回路の出力信号と前記基準入力信号とを入力することにより基準入力信号に対して早い周波数の信号を出力する排他的論理和回路とを備えていることを特徴とする遅延回路。

【請求項 10】 請求項 1乃至請求項 9のいずれかに記載の遅延回路を半導体基板上に配置形成したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、遅延回路に関するものであり、とくに外部の入力信号に対して半導体基板内部を高速に動作させる半導体集積回路装置に関するものである。

【0002】

【従来の技術】 従来の遅延回路を図19に示し、この遅延回路に用いるリングカウンタを図20に示す。この遅延回路は、位相比較器、 $n \cdot m$ 段リングカウンタ、LPF（ローパス・フィルタ）及び排他的論理和回路で構成されている。 $n \cdot m$ 段リングカウンタは、 n 個のフリップフロップ（FF1、FF2、・・・、FFn）で構成され、最終段の出力を入力に戻してリング状にしたものである。制御電圧によってカウンタの伝搬遅延時間を可変できる。この従来の遅延回路は、基準入力信号 ref と $n \cdot m$ 段リングカウンタの出力を位相比較器に入力する。そして、基準入力信号とリングカウンタ出力とを位相比較して、 $n \cdot m$ 段リングカウンタの出力周波数が基準入力信号周波数と一致するように $n \cdot m$ 段リングカウンタの各カウンタの伝搬遅延時間をLPFの出力電圧で制御する。このような動作によって、位相が同期した状態において $n \cdot m$ 段リングカウンタの途中段数から信号を取り出し基準入力信号に対して位相のずれた信号を生成することができる。そして生成した信号を論理回路により排他的論理和することで基準入力信号に対して速い遅延信号を出力する。

【0003】

【発明が解決しようとする課題】 従来の遅延回路では、アナログ回路を用いているためLPFが必要である。このため、ゲートアレイなどを利用してLPFをLSI半導体基板内部に設計するのは困難であった。したがって、従来の場合は、LSI半導体基板の外部にLPFの

外付けにして対応しなければならない。これに伴い実装基板にLPFを載せる領域が必要となり、基板面積が増大する。また、アナログ量の制御電圧を使用しているため、電源ノイズの影響を受けやすく出力信号が変動しやすい。本発明は、このような事情によりなされたものであり、遅延回路(Delay-Chain)の遅延素子数を制御して遅延量を調整することにより、任意の基準入力信号の周波数に対応し、デジタル回路で構成された遅延回路及びこの遅延回路を組み込んだ半導体集積回路装置を提供する。

【0004】

【課題を解決するための手段】本発明は、位相比較器、遅延回路を用いて入力信号の1周期分(もしくは1/2周期分)の遅延量を調整し、調整した遅延量(遅延素子数)を基に基準入力信号に対して遅らせたい位相差分の遅延量(遅延素子数)の設定を可能とし、基準入力信号と複数の位相を遅らせた信号を排他的論理和($E \times OR$ もしくは $E \times NOR$)回路に入力することにより基準信号より速い周波数の信号を出力する。電源ノイズの影響を受け難くしたLPFを必要としないので設計が容易な遅延回路を得ることができる。請求項1の発明は、入力信号の周期を検出する手段と、前記検出手段の検出結果に基づいて、前記入力信号のN遅延に必要な信号を生成する手段と、前記生成した信号に基づいてN遅延信号を出力する手段とを備えた遅延回路を特徴とする。請求項2の発明は、前記入力信号のN遅延に必要な信号を生成する手段は、遅延回路の素子数を選択することによって前記信号を生成する請求項1に記載の遅延回路を特徴とする。請求項3の発明は、前記N遅延は可変である請求項1又は請求項2に記載の遅延回路を特徴とする。

【0005】請求項4の発明は、複数の遅延素子からなる遅延回路と、前記遅延回路の出力段数を選択する選択回路と、基準入力信号と前記選択回路の出力とを入力する位相比較器と、前記位相比較器の出力に基づいて前記選択回路を制御する制御回路と、前記基準入力信号と前記選択回路の出力とを入力し、N遅延の信号を生成する論理回路とを備えた遅延回路を特徴とする。請求項5の発明は、所定の遅延素子数を有する遅延回路と、基準入力信号と前記遅延回路の出力信号の2信号の位相が同期するように前記遅延回路の遅延量を制御し、前記基準入力信号に対して前記遅延回路の出力信号を所定の周期分だけ遅らせてその遅延量を調整する選択回路と、前記基準入力信号と前記選択回路の出力信号とを入力する位相比較器と、前記遅延量を基にして設定したい位相差に相当する遅延量を少なくとも1つの遅延回路より選択して得られた位相を遅らせた信号と前記基準入力信号とを入力することにより前記基準入力信号に対して早い周波数の信号を出力する排他的論理和回路とを備えた遅延回路を特徴とする。請求項6の発明は、前記所定の周期は1周期分もしくは1/2周期分である請求項5に記載の遅

延回路を特徴とする。請求項7の発明は、前記遅延量は前記遅延素子数により調整される請求項5に記載の遅延回路を特徴とする。

【0006】請求項8の発明は、前記排他的論理和回路は $e \times OR$ もしくは $e \times NOR$ から選ばれる請求項5に記載の遅延回路を特徴とする。請求項9の発明は、所定の遅延素子数を有する第1の遅延回路と、所定の遅延素子数を有し、前記第1の遅延回路とは遅延量の異なる第2の遅延回路と、基準入力信号と前記第1の遅延回路の出力信号の2信号の位相が同期するように前記第1の遅延回路の遅延量を制御し、前記基準入力信号に対して前記第1の遅延回路の出力信号を所定の周期分だけ遅らせてこの遅延量を調整する第1の選択回路と、前記基準入力信号と前記第2の遅延回路の出力信号の2信号の位相が同期するように前記第2の遅延回路の遅延量を制御し、前記基準入力信号に対して前記第2の遅延回路の出力信号を所定の周期分だけ遅らせてこの遅延量を調整する第2の選択回路と、前記基準入力信号と前記第1の選択回路が出力する信号とを入力する位相比較器と、前記遅延量を基にして設定したい位相差に相当する遅延量を少なくとも1つの遅延回路より選択して得られた位相を遅らせた前記第2の選択回路の出力信号と前記基準入力信号とを入力することにより基準入力信号に対して早い周波数の信号を出力する排他的論理和回路とを備えている遅延回路を特徴とする。請求項10の発明は、請求項1乃至請求項9のいずれかに記載の遅延回路を半導体基板に配置形成した半導体集積回路装置を特徴とする。

【0007】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図1乃至図10を参照して第1の実施例を説明する。図1は、遅延回路の回路構成図である。この遅延回路は、遅延回路1、位相比較器2、アップダウンカウンタ(U/Dカウンタ)3、選択回路4及び排他的論理和回路($E \times NOR$ 回路)5で構成されている。遅延回路1は、基準入力信号 ref を入力し、選択回路4へ出力する。位相比較器2は、基準入力信号 ref 及び選択回路4の出力 DO とを入力し、アップダウンカウンタ3へ出力する。アップダウンカウンタ3は、位相比較器2の出力を入力し、選択回路4へ出力してこの選択回路を制御する。選択回路4は、遅延回路1の出力、アップダウンカウンタ3の出力及びN遅延設定入力信号 IN を入力し、位相比較器2へ出力 DO し、かつ排他的論理和回路5へ出力($D1$ 、 $D2$ 、 $D3$ 、 \dots 、 Dz)する。排他的論理和回路5は、選択回路4の出力($D1$ 、 $D2$ 、 $D3$ 、 \dots 、 Dz)、基準入力信号 ref 及びN遅延設定入力信号 IN を入力し、出力信号 OUT を出力する。

【0008】図2は、遅延回路1の回路構成図である。遅延回路(ディレイチェーン)1は、複数の遅延素子($DC1$ 、 $DC2$ 、 $DC3$ 、 \dots 、 DCn)を直列に

接続して構成されている。この遅延回路1は、各遅延素子間から出力信号が出力できるように構成されているので、遅延素子数を必要に応じて適宜選択することが可能である。図3は、図1を詳細に説明する2～4遅延までの可変遅延回路の構成図である。位相比較器2は、基準入力信号refと選択回路4からの出力信号D0の2倍の位相差の比較を行い、この出力信号D0が、基準入力信号refに対して位相が速いが遅いかの判定信号を出力する。この判定信号をもとにアップダウンカウンタ3で、カウント値のアップダウンを行う。このアップダウンカウンタ3のカウント値で遅延回路1の遅延素子数を制御する。カウントアップで遅延素子数を増加させ、カウントダウンで遅延素子数を減少させる。遅延素子数を制御することにより位相を進めたり遅らせたりして最終的に基準入力信号refに対して1周期分遅れた出力信号D0を出力する。

【0009】選択回路4は、乗算器41及びデコーダ42から構成される。また、選択回路4の各出力信号(D0、D1、D2、D3)それぞれに1つのデコーダ42を備えている。デコーダ42は、アップダウンカウンタ3の出力信号の値によって遅延回路1のどの段数から信号を出力するか制御する。ただし、出力信号D0用デコーダ42は、アップダウンカウンタの出力信号値を乗算器41で2・N倍にした値を入力する。

乗算器の出力値 = $(2 \cdot N) \times (\text{アップダウンカウンタ値})$

(Nは、N遅延設定入力端子b0、b1、b2から入力された値)

遅延回路1の出力信号と選択回路4の各出力信号との接続は、

- (1) 信号D0、D1・・・遅延素子間から出力信号を接続する、
- (2) 信号D2・・・遅延素子1つおきに出力信号を接続する、
- (3) 信号D3・・・遅延素子2つおきに出力信号を接続する、の3通りの接続を行う。この接続により選択回路4の各出力信号は、図4に示す遅延素子数を通過した信号を出力する。このためD1、D2、D3の各出力信号は、基準入力信号refに対して特定の位相が遅れた信号を出力する。ここで、出力信号D1は、1/2N位相が遅れた信号、出力信号D2は、2/2N位相が遅れた信号、出力信号D3は、3/2N位相が遅れた信号である。

【0010】排他的論理和回路(ExNOR)5は、図5に示すように、N遅延設定入力信号b0、b1、b2の設定値によって2～4入力ExNORの排他的論理演算を行う。図4は、遅延数と選択回路の出力信号(D0、D1、D2、D3)の遅延素子数との関係を示す。遅延数は、N遅延設定入力信号b2、b1、b0によって決定される。countは、アップダウンカウンタ3

の出力によるカウント値である。図5は、排他的論理和回路による遅延出力信号の形成を示したものであり、基準入力信号refと選択回路4の出力信号D1、D2、D3とから形成され、2～4遅延の出力信号OUTを得ることができる。基準入力信号と1つの出力信号D1とから2遅延信号を生成し、基準入力信号と2つの出力信号D2とから3遅延信号を生成し、基準入力信号と3つの出力信号D3とから4遅延信号が生成される。一般に、基準入力信号と $(N-1)/2$ N周期遅れた信号とのN信号からN遅延信号が生成される。

【0011】次に、遅延信号の生成される過程を図6乃至図8のそれぞれ2、3、4遅延時のタイムチャートを参照して説明する。N遅延出力時における選択回路4の出力信号D0は、 $N \times 2$ 倍を1回の増減の遅延量として、遅延回路3の遅延素子数を選択する。また、出力信号D1は、遅延素子を1個ずつ、出力信号D2は、遅延素子を2個ずつ、出力信号D3は、遅延素子を3個ずつ、・・・、出力信号Dzは、遅延素子をz個ずつを1回の増減の遅延量として選択する。すなわち、出力信号D0で選択した遅延量に対して出力信号D1は、1/2N、出力信号D2は、2/2N、出力信号D3は、3/2N、・・・、出力信号Dzは、z/2Nの遅延量を選択することになる。2遅延出力信号OUTは、基準入力信号と1/4周期遅れた信号の2つの信号から生成される(図6)。3遅延出力信号OUTは、基準入力信号と1/6、2/6周期遅れた信号の3つの信号から生成される(図7)。4遅延出力信号OUTは、基準入力信号と1/8、2/8、3/8周期遅れた信号の4つの信号から生成される(図8)。すなわち、選択回路4で選択された出力信号D1、D2、D3、・・・、Dzは、排他的論理和回路(ExNOR回路)5に入力され、N遅延の出力信号を得る場合は、D1～DN-1)までの(N-1)本の信号と基準信号refについてExNORを行って基準入力信号refに対してN遅延の出力信号OUTを得ることができる(図5参照)。

【0012】図9は、位相比較器の一例である。フリップフロップ(FF)、NAND回路及びインバータ回路INVとから構成され、アップ信号up及びダウン信号dnをアップダウンカウンタ3に供給する。図10のタイミングチャート図に示すようにアップダウン信号が形成される。次に、図11及び図12を参照して第2の実施例を説明する。図11は、遅延回路の回路構成図、図12は、遅延出力信号の生成過程を示すタイムチャート図である。本発明では、遅延回路と選択回路の複数組を備え、各組の遅延時間が互いに異なるように構成することも可能である。この実施例では遅延素子の遅延量異なる遅延回路(ディレイチェーン)を2つ備えた遅延回路を用いる。遅延回路は、第1の遅延回路10と第2の遅延回路11とからなり、それぞれ第1の選択回路(セレクト)45及び第2の選択回路46を備えている。遅

遅延回路 11 は、遅延回路 10 に対して各遅延素子がそれぞれ $1/4$ の遅延量となっている。また、選択回路 45、46 の出力信号 $d0$ 、 $d1$ への遅延回路 10、11 の出力信号の接続は、これら遅延回路を構成する遅延素子間から行う。第 1 及び第 2 の選択回路 45、46 は、遅延量の増減をそれぞれの遅延回路 10、11 について同一個数の遅延素子を選択するように動作する。

【0013】このため第 1 の選択回路 45 の出力信号 $d0$ に対して第 2 の選択回路の出力信号 $d1$ は、 $1/4$ の遅延量を選択することになり、その結果、基準入力信号 ref に対して $1/4$ 位相が遅れた信号となる。この出力信号 $d1$ と基準入力信号 ref の 2 信号を排他的論理和 (2 入力 $EXNOR$) することにより基準入力信号 ref に対して 2 倍倍の出力信号 OUT を得ることができる。遅延量の異なる複数の遅延回路を用いることにより、この遅延量の差をそのまま位相の遅れとすることができる。

【0014】次に、図 13 を参照して第 3 の実施例を説明する。図 13 は、遅延回路の回路構成図であり、図 3 の遅延回路で用いた選択回路の乗算器を除算器としたことに特徴がある。選択回路 (セレクタ) 4 の出力信号 $D1$ 、 $D2$ 、 $D3$ を制御するデコーダ 42 には、アップダウンカウンタ (U/D カウンタ) 3 の出力信号を除算器 43 で各 $1/2N$ 、 $2/2N$ 、 $3/2N$ 倍にした値を入力する。また、選択回路 4 の出力信号 $D0$ 、 $D1$ 、 $D2$ 、 $D3$ への遅延回路 1 の出力信号の接続は、遅延回路 1 を構成する遅延素子間から行う。アップダウンカウンタ 3 の出力信号に対する遅延素子数の増減は、出力信号 $D0$ は 1 個ずつ、出力信号 $D1$ は、 $1/2N$ 個ずつ、出力信号 $D2$ は、 $2/2N$ 個ずつ、出力信号 $D3$ は、 $3/2N$ 個ずつの信号をそれぞれ出力する。これにより第 1 の実施例の形態と同様に 2、3、4 倍倍の出力信号 (OUT) を得ることができる。この実施例のように除算器を用いると位相比較精度が向上する。

【0015】次に、図 14 及び図 15 を参照して第 4 の実施例を説明する。この実施例は、位相比較器 2 の前段にインバータ回路 6 を備えたことに特徴がある。図 14 は、遅延回路の回路構成図、図 15 は、図 14 の遅延回路の遅延出力信号の生成過程を示すタイムチャート図である。本発明では、遅延回路と選択回路の複数を備え、各組の遅延時間が互いに異なるように構成することも可能である。この実施例では遅延素子の遅延量が異なる遅延回路 (ディレイチェーン) を 2 つ備えた遅延回路を用いる。遅延回路は、第 1 の遅延回路 12 と第 2 の遅延回路 13 とからなり、それぞれ第 1 の選択回路 (セレクタ) 47 及び第 2 の選択回路 48 を備えている遅延回路 13 は、遅延回路 12 に対して各遅延素子がそれぞれ $1/2$ の遅延量となっている。また、選択回路 47、48 の出力信号 $d0$ 、 $d1$ への遅延回路 12、13 の出力信号の接続は、これら遅延回路を構成する遅延素子間から

ら行う。位相比較器 2 への入力信号は、基準入力信号 ref をインバータ回路 6 で反転させた信号 $/ref$ ($/$ は、信号の反転を表わす。以下、同じである) を入力する。また、遅延回路 12、13 へは基準入力信号 ref を入力する。

【0016】これにより、基準入力信号 ref の反転信号 $/ref$ と第 1 の選択回路 (セレクタ) の出力信号 $d0$ の位相比較を行うと、位相が同期した状態で第 1 の遅延回路 12 の遅延量は、基準入力信号 ref の $1/2$ 周期となる。このため、第 2 の遅延回路 13 を構成する遅延素子を第 1 の遅延回路 12 に対して $1/2$ の遅延量とすることで第 2 の選択回路 48 の出力信号 $d1$ は、基準入力信号 ref に対して $1/4$ 位相が遅れた信号を出力し、基準入力信号 ref と出力信号 $d1$ の 2 信号を排他的論理和回路 51 で排他的論理回路和 (2 入力 $EXNOR$) することにより基準入力信号 ref に対して 2 倍倍の出力信号 OUT を得ることができる。遅延量の異なる複数の遅延回路を用いることにより、この遅延量の差をそのまま位相の遅れとすることができる。

【0017】次に、図 16 及び図 17 を参照して第 5 の実施例を説明する。図 16 は、遅延回路の回路構成図、図 17 は、図 16 の遅延回路の遅延出力信号の生成過程を示すタイムチャート図である。この実施例も第 4 の実施例と同じ様にインバータ回路 6 を備えたことに特徴がある。前実施例では位相比較器 2 に入力される基準入力信号 ref をインバータ回路 6 で反転させた反転信号 $/ref$ を入力させていたが、この実施例では、位相比較器 2 に入力される第 1 の選択回路 47 の出力信号 $d0$ をインバータ回路 6 で反転させて位相の遅れた信号を生成する。前実施例とこの実施例は位相比較器 2 への 2 つの入力信号のいずれかの信号を反転しているものでどちらの実施例を用いても同じ遅延信号が得られる。

【0018】次に、図 18 を参照して第 6 の実施例を説明する。図 18 は、遅延回路の回路構成図である。この実施例では、4 組の遅延回路 (ディレイチェーン) と選択回路 (セレクタ) を備え、各組の遅延回路の遅延量が互いに異なるように構成されていることを特徴としている。遅延回路は、第 1 の遅延回路 10、第 2 の遅延回路 11、第 3 の遅延回路 14 及び第 4 の遅延回路 15 とからなり、それぞれ第 1 の選択回路 45、第 2 の選択回路 46、第 3 の選択回路 44 及び第 4 の選択回路 49 とを備えている。遅延回路 11 は、遅延回路 10 に対して各遅延素子がそれぞれ $1/4$ の遅延量となっている。遅延回路 14 は、遅延回路 10 に対して各遅延素子がそれぞれ $1/6$ の遅延量となっている。遅延回路 15 は、遅延回路 10 に対して各遅延素子がそれぞれ $2/6$ の遅延量となっている。第 1 の遅延回路 10 の出力信号は、第 1 の遅延回路を構成する遅延素子間から第 1 の選択回路 45 の出力信号 $d0$ へ接続される。第 2、第 3 及び第 4 の遅延回路 11、14、15 の出力信号も、同様にそれぞれ

遅延回路を構成する出力信号 d_1 、 d_2 、 d_3 へ接続される。

【0019】遅延回路10、11、14、15へは、基準入力信号 ref が入力される。第1の選択回路45の出力信号 d_0 と基準入力信号 ref とを位相比較器2に入力し、これらを位相比較し、その結果をアップダウンカウンタ(U/Dカウンタ)3で制御して、その出力を選択回路45、46、44、49へ入力させる。そして、選択回路45、44、49の出力信号 d_1 、 d_2 、 d_3 は、第5の選択回路7へ入力される。第5の選択回路7は、マルチプレクサ及びE×NOR回路を備え、N遅延設定入力信号 IN の入力によって複数の遅延量異なる遅延回路を備え、選択回路に入力されるN遅延設定入力信号 IN に基づいて出力信号 d_1 、 d_2 、 d_3 のいずれかを選択し、基準入力信号 ref に対して2遅延及び3遅延のいずれかの出力信号 OUT を出力する。このようにこの実施例の遅延回路は、N遅延設定入力信号 IN によって基準入力信号 ref に対して2遅延、3遅延の出力信号 OUT を切り替え出力することができる。

【0020】

【発明の効果】前述のように、本発明の半導体集積回路は、デジタル回路のみで回路構成しているため電源ノイズによる出力周波数の変動を抑えることができる。また、LPF等が必要としないゲートアレイ等でも容易に遅延回路を実現できる。

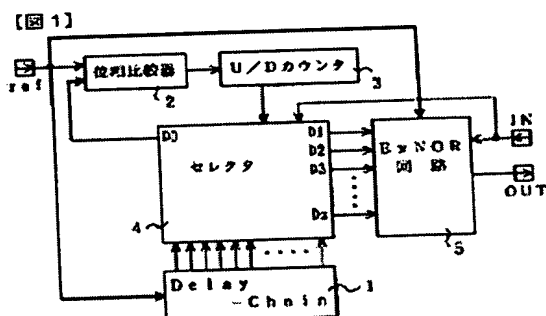
【図面の簡単な説明】

【図1】本発明の遅延回路の回路構成図。

【図3】本発明の遅延回路の回路構成図。

【図2】本発明の遅延回路に用いる遅延回路の回路構成図。

【図4】本発明の遅延数と選択回路の出力信号の遅延素



子数との関係を示す特性図。

【図5】本発明の入力信号と排他的論理和との関係を示す特性図。

【図6】本発明の2遅延時のタイミングチャート図。

【図7】本発明の3遅延時のタイミングチャート図。

【図8】本発明の4遅延時のタイミングチャート図。

【図9】本発明の遅延回路に用いる位相比較器の回路図。

【図10】図9の位相比較器のタイミングチャート図。

【図11】本発明の遅延回路構成図。

【図12】図11の遅延回路の2遅延時のタイミングチャート図。

【図13】本発明の遅延回路構成図。

【図14】本発明の遅延回路構成図。

【図15】図14の遅延回路の2遅延時のタイミングチャート図。

【図16】本発明の遅延回路構成図。

【図17】図14の遅延回路の2遅延時のタイミングチャート図。

【図18】本発明の遅延回路構成図。

【図19】従来の遅延回路の回路構成図。

【図20】図19の遅延回路に用いるリングカウンタの回路構成図。

【符号の説明】

1、10、11、12、13、14、15・・・遅延回路、

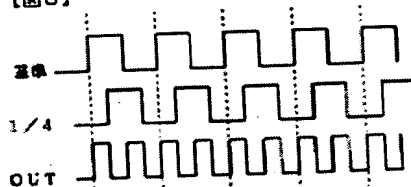
2・・・位相比較器、3・・・アップダウンカウンタ、

4、7、44、45、46、47、48、49・・・選択回路、5、51・・・排他的論理和回路、

6・・・インバータ回路、41・・・乗算器、4

2・・・デコーダ、43・・・除算器。

【図6】

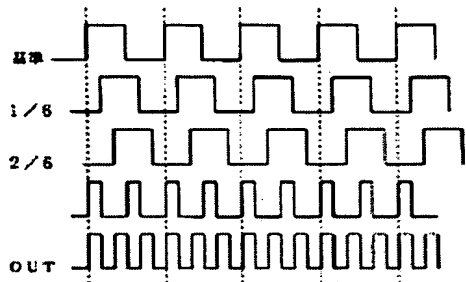


[illegible]

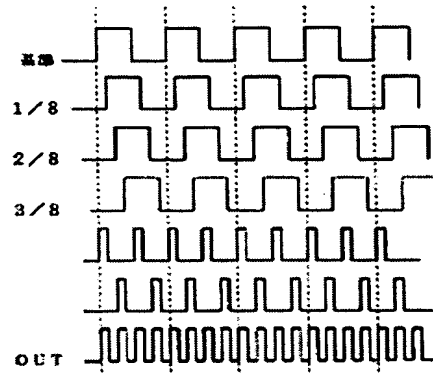
回分類	N番学生番号 (01, 02, 03)	各セレクト出力回数のディレイ値				標準的遅延和
		D0	D1	D2	D3	
2	010	4×cost	cost	2×cost	3×cost	(ref.D1) 2人力×NOR
3	011	6×cost	cost	2×cost	3×cost	(ref.D1,D2) 3人力×NOR
4	100	8×cost	cost	2×cost	3×cost	(ref.D1,D2,D3) 4人力×NOR

選出数	入 力 信 号	選択的論理和
2	基準信号、1/4周期遅れた信号の2信号	2入力 EXNOR / EXNOR
3	基準信号、1/8、2/6 周期遅れた信号の2信号	3入力 EXNOR / EXNOR
4	基準信号、1/8、2/8、3/8 周期遅れた信号の2信号	4入力 EXNOR / EXNOR
N	基準信号、1/2N, ..., (N-1)/2N 周期遅れた信号の2信号	N入力 EXNOR / EXNOR

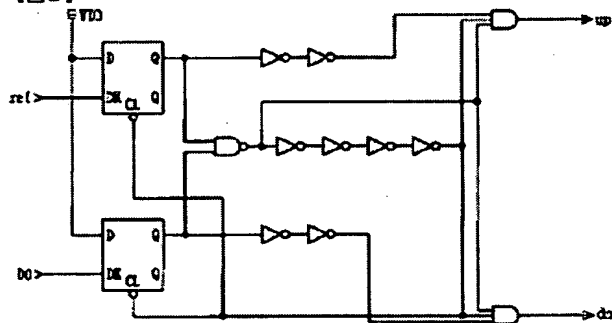
【図7】



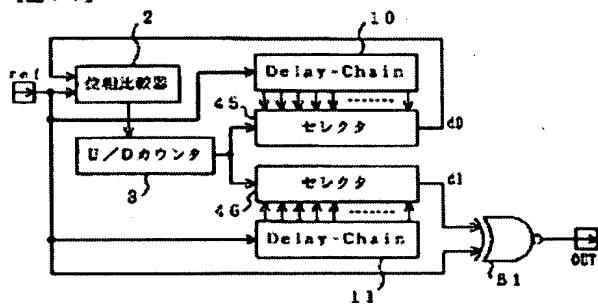
【図8】



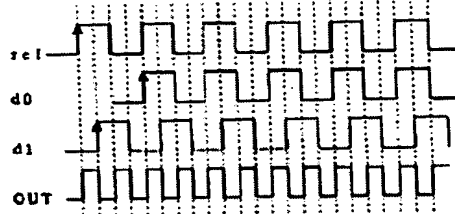
【図9】



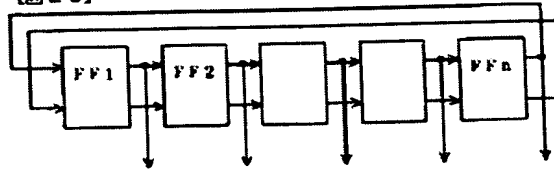
【図11】



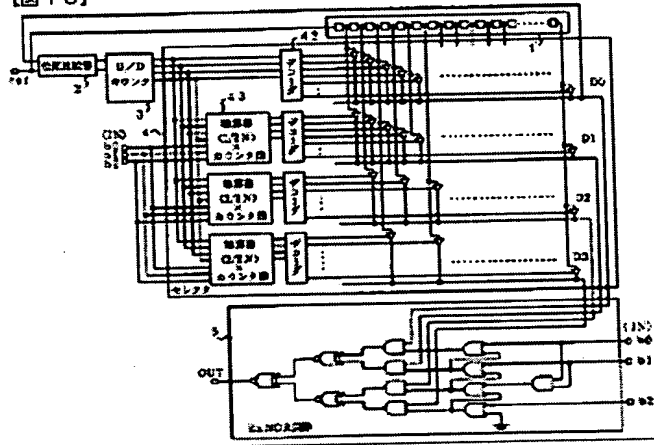
【図 12】



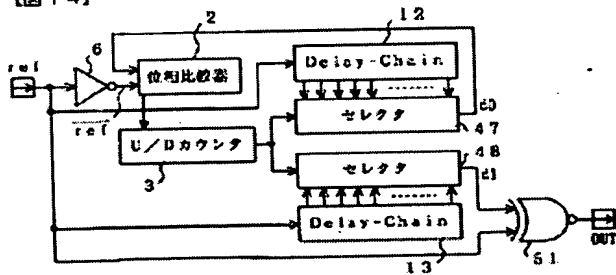
【図 20】



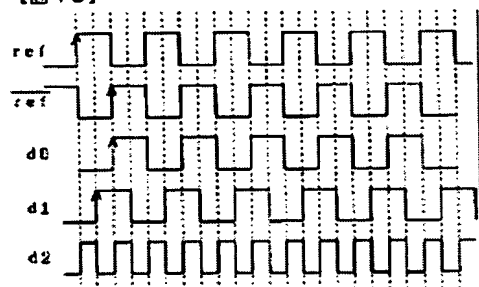
【図 13】



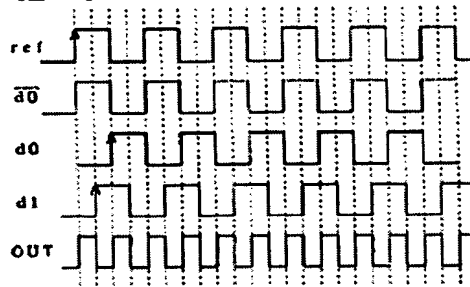
【図 14】



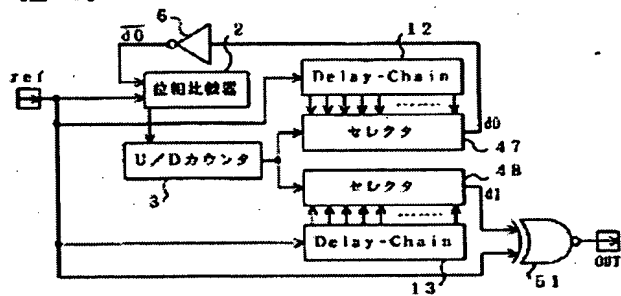
【図15】



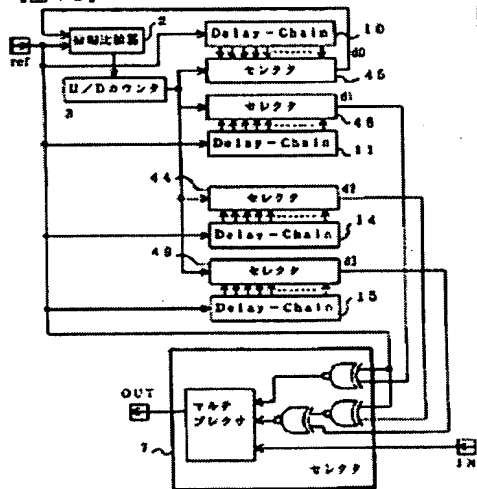
【図17】

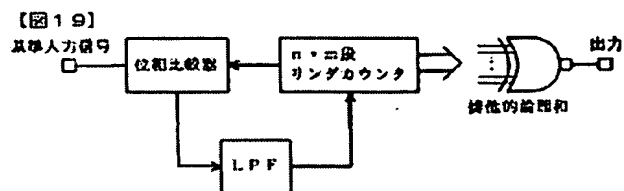


【図16】



【図18】





【手続補正書】

【提出日】平成9年9月26日

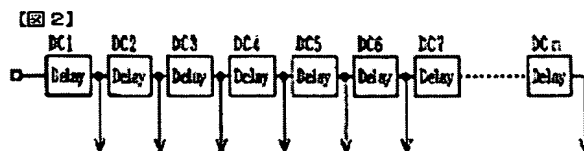
【補正方法】変更

【手続補正1】

【補正内容】

【補正対象書類名】図面

【補正対象項目名】図2



【手続補正2】

【補正方法】変更

【補正対象書類名】図面

【補正内容】

【補正対象項目名】図3

